

Inoue Michihiko
Inventor : Takemoto Toyoki

DERWENT-ACC-NO: 1978-20160A

DERWENT-WEEK: 197811

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Linear MOS transistor in MOS semiconductor IC - has a gate insulating film of at least one oxide of hafnium, aluminium, tantalum or niobium

PATENT-ASSIGNEE: MATSUSHITA ELEC IND CO LTD[MATU]

PRIORITY-DATA: 1976JP-0084851 (July 15, 1976)

PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP 53010283 A	January 30, 1978	N/A
000	N/A	

INT-CL (IPC): H01L027/04; H01L029/78

ABSTRACTED-PUB-NO: JP53010283A

BASIC-ABSTRACT: The MOS transistor in an MOS semiconductor IC circuit is provided with a gate insulating film using at >=1 of HfO₂, Al₂O₃, Ta₂O₅, and

HfO₂, Ta₂O₅, Al₂O₃ and Nb₂O₅ have high dielectric constant (11.7 27, 9.0 and 32.5 respectively), and the thickness of a gate insulator may be increased. The dielectric material is stable in composition, has less strains, and contains almost no alkaline ions. A short channel MOS device with improved noise factor is obtnd.

TITLE-TERMS:

LINEAR MOS TRANSISTOR MOS SEMICONDUCTOR IC GATE
INSULATE FILM ONE OXIDE HAFNIUM
ALUMINIUM TANTALUM NIOBIUM

DERWENT-CLASS: L03 U12 U13

CPI-CODES: L03-D03D;

公開特許公報

昭53-10283

⑤Int. Cl². 識別記号
 H 01 L 29/78
 H 01 L 27/04
 H 01 L 29/62

⑥日本分類 庁内整理番号
 99(5) E 3 6603-57
 99(5) C 23 7377-57
 99(5) H 0 6513-57

⑦公開 昭和53年(1978)1月30日
 発明の数 1
 審査請求 未請求

(全4頁)

⑧MOS型半導体集積回路

⑨発明者 井上道弘
 門真市大字門真1006番地 松下
 電器産業株式会社内
 ⑩出願人 松下電器産業株式会社
 門真市大字門真1006番地
 ⑪代理人 弁理士 中尾敏男 外1名

⑫特許 昭51-84851

⑬出願 昭51(1976)7月15日

⑭発明者 竹本豊樹
 門真市大字門真1006番地 松下
 電器産業株式会社内

明細書

1. 発明の名称

MOS型半導体集積回路

2. 特許請求の範囲

リニアMOSトランジスタのゲート絶縁膜として酸化ハフニウム、酸化アルミニウム、酸化タン

とを特徴とするMOS型半導体集積回路。

3. 発明の詳細な説明

本発明はMOS型半導体集積回路に関するもので、リニアMOSトランジスタのゲート絶縁膜を酸化ハフニウム、酸化アルミニウム、酸化タン

などを特徴とするMOS型半導体集積回路。

すなわち、本発明はリニアMOSトランジスタの音響性能の向上を目的とした構造を提供するものである。

近年、MOS集積回路の高密度化、高精緻化が進みその中で、チャネル長を短くしてショートチャネル化し、動作速度の向上、ファンアウトの向上などを合わせ達成するための構造が広く行な

われている。一方、MOS・ICのリニア(アナログ)ICへの適用ということで、オペアンプなど単純な回路から複雑な回路応用への展開がなされており、その用途の一つはオーディオ分野である。オーディオ用としてのMOS ICは、J-FET(ジャンクション・フィeld Effect Transistor)と比較しても取

指數が大きいためと思われる。

ところで、MOSトランジスタの雑音に関しては、極々の理論的検討がなされているが、最もよく知られた実験式としては、S.Christensson "Low Frequency Noise in MOS transistors" Solid State Electronics Vol.11, 1968 が出しているように

$$V_{gn}^2 = \frac{q^2}{C_{ox} \cdot W \cdot L} N_T \frac{\pi}{2\omega} \quad (1)$$

V_{gn} : 入力側真雑音電圧

C_{ox} : ゲート絶縁膜容量

W, L : チャネル長及ひ幅

N_T : トランジスタ出力

$$a : \frac{2}{b} \sqrt{2m^2 H} \quad b : \text{ボテンシャルバリア}$$

(1)式の通りあらわされ、チャネル巾の平方根に反比例し、ゲート酸化膜を層に反比例する。

前記したことくMOS・ICのショートチャネル化によるgm(相互コンダクタンス)の向上によりバイポーラトランジスター並みの低いオノ抵抗のものが実現されるようになり、オーディオ用を初めとするリニアMOSの需要があるにもかかわらず、(1)式に見られるように、チャネル長(セルファブラインで作った場合、ゲート印と一致)を短くすると、雜音が大きくなる欠点がある。

そこで、これらの欠点をなくすためにまず考えることは雜音に反比例するゲート酸化膜谷量Co_xを大きくすべくゲート絶縁物を薄くし、あわせてショート・チャネル効果によるV_Tの低下をねらうことである。しかるに本発明者らの検討によると既に図IC示すように、雜音電出の目安となる入力電音抵抗R_{in}(Ω)は素子の大きさ、ゲート酸化膜厚により非常に差が出てくる。たとえば、従来、低雜音として使用されているJ-FET(極

合形FET)，低雜音バイポーラに比し、MOS Iは優れており、MOS IIは向佳並、MOS IIIは悪い特性である。第1回のMOS I, II, IIIはすべて二酸化シリコンゲート絶縁膜を用いたもので、その膜厚 tox, チャネル長, チャネル巾Wは次表に示すとおりである。

	tox	L	W
MOS I	300Å	50μ	10,000μ
MOS II	300Å	2μ	1,000μ
MOS III	1,200Å	2μ	1,000μ

第1回から明らかとなおりMOS Iは雜音抵抗は小さくリニアICにきわめて適した性能を有しているが、しかもWも非常に広くWは1mmにおよびLも50μであり無極化が不可能な寸法である。そして一番の問題は単位面積当たり 1.1×10^{-7} (Ω)の谷量を有する酸化膜の膜厚 tox = 300Åの場合その耐比が最大10V程度と小さく、耐比、劣化、雑音り低下などを含む信頼性および生産性の点で实用上満足すべきものが得にくいことである。ま

たMOS IIIは酸化膜厚も十分高く耐比も高く、しかも2μとショートチャネルでありWも1000μと通常のMOS ICにおいてそれはど大きな寸法ではないか、雜音抵抗が著しく高く実用的ではない。さらIC、面積がMOS IIIと同じで酸化膜厚 tox が3000Åと薄いMOS IIはJ-FET並みの性能

適切であると考えられる。しかし、前述したように膜厚 tox が3000Åと薄く生産性および信頼性の点が最も大きい問題である。

そこで、本発明は以上の考察の結果、たとえばリニアIC等に要求される信頼性の高い低雜音MOSトランジスタを生産性良く実現しようとするもので、たとえば前述した二酸化シリコン(SiO₂)膜 300Å(単位面積当りの谷量 1.1×10^{-7} (Ω))相当で十分耐比の高い低雜音のショートチャネルMOSトランジスタを得るものである。

すなわち、本発明の特徴とする絶縁膜は、検討の結果MOSトランジスタのゲート絶縁膜として、信頼性が高く厚くすることが可能で、より耐比を

高くすることができ、信頼率の高い他の物質に比しMOSトランジスタのゲート絶縁膜として使用できない諸特性すなわち水溶性であること、分離しやすいこと、生産が可能なこと等の検討のために選ばれたものである。

この検討の結果選ばれた絶縁膜は、酸化ハフニウム、酸化チタン、酸化チタニウム、酸化ニッケル、酸化マグネシウム、酸化アルミニウム、酸化チタニウム等である。

HfO₂, Ta₂O₅, Al₂O₃, Nb₂O₆の比信頼率は 11.7, 2.7, 9.0, 32.5 であり SiO₂に比べて大きく優れるようMOSゲート絶縁膜特性として好ましい性質を有する。ところで、比信頼率が 8.6 以下の絶縁膜を使用しても SiO₂ 膜との耐比比もせいぜい 2 倍くらいであり、本発明の意図する低雜音、耐比向上につけてはほとんどみるべき効果が得られなかつた。

ところで、MOSトランジスタの性能にとって重要なことは、SiO₂以外の絶縁膜をゲートに用いた場合、熱酸化で形成されたのは理想的な SiO₂-Si界面と帶電な C-V 特性を示すことである。こ

のC-V特性に影響する要因は絶縁膜組成の安定化、及び膜内におけるNa_x量の十分制御であり、これらの条件が充分達したものであることが必要である。

つきに、本発明の実施例にかかるゲート絶縁膜の性質を説明する。N形B.3 g-mのシリコン基板を用いこの基板上に反応性スパッタリング法を用いて膜厚1,000ÅのHfO₂膜を生成した。

この構成によれば膜厚も1,000Åとなった結果その耐比も 6×10^6 V/m以上となり、著るしい耐比向上をゆることことができた。さらにこのHfO₂膜の電気的特性(Si-HfO₂系のC-V特性)を第2図に示す。第2図はSi基板上の電圧V_dと漏電流I_dの変化の割合を示したもので、0Vで容量変化が起りはば埋蔵に近いC-V特性を得ることができ、MOSトランジスタとして好ましい特性である。このHfO₂膜を用いたMOSトランジスタは離音性能については第1図のMOSFETとはほぼ同様の性能を示し、耐比が向上し、リニア(アナログ)用途に好適である。

のである。

なお、本発明にかかる高耐電体ゲート絶縁膜は、スパッタリング、CVD法、電子ビーム蒸着法、金属の熱氧化法、プラズマ分解法等により生成可能で、加工についてはリフトオフ法、ドライエッティング法などを用いることができる。

ことによりさらには耐比の改善をうなじみ山木ら。元とえはSiO₂膜200Å、本発明にかかる絶縁膜500Åを重ね重層する。このように重層すれば、ピンホールを減少させることができ、さらに耐比を向上させることができ。さらに耐比を向上させるとともには、異なった大きさの原子は分子状態の場合、そのピンホールを作る歴史、密度が異なり、同じ酸化物であってもSiO₂中のピンホールが出来る場所とその上の絶縁絶縁膜のピンホール場所とか一致していないためである。

以上、述べて来たように、本発明は、ショートチャネルMOSトランジスタにおける低離音化について、後者の電子が蓄積するしく問題となり、生

第3回はHfO₂代えてTa₂O₅を用いたときのC-V特性を示し、第3回の場合と同じくN形B.3 g-mシリコン基板に1140Åの厚さのTa₂O₅膜を生成したものである。第3回の破壊は理論的に求めたTa₂O₅膜における埋蔵特性を示し、実験は実験に測定したC-V特性である。この第3回から明らかかとなり、Ta₂O₅においても埋蔵に近い電気的特性を得ることができ、耐比もHfO₂とはほぼ同程度の性能を得ることができた。

なお、Al₂O₃、Nb₂O₅についても耐電率が大きく、容易に生成可能で組成も比較的安定でゲート絶縁膜として十分適用可能であることがわかった。

このようにして、実験の結果上述した本発明にかかる絶縁膜の電気的特性がすぐれているのは、抑制するに組成が安定で、遅が少なく、吸湿性がなく、Na_x量の算術を含むことが少ないためであると思われるが、とにかく本発明にかかるゲート絶縁膜はショートチャネルでとくにリニアMOSトランジスタに適用して好ましい性能を有するも

のである。

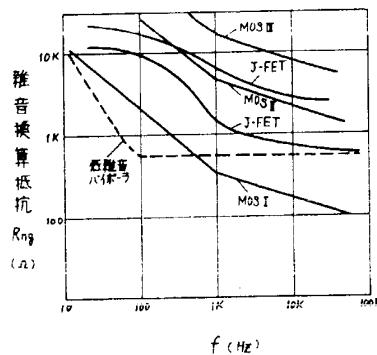
4. 四回の簡単な説明

第1図は各電子(MOS、J-FET、バイオラニオニカ)の漏音漏電流比の比較図、第2図は

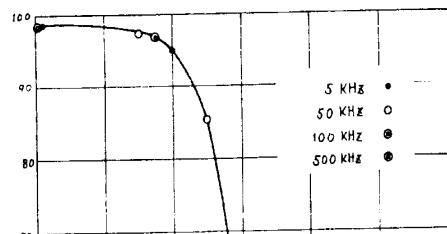
漏音漏電流比の比較図である。

代入の比名 井端士 中馬敏男 はか1名

第 1 図



第 2 図



第 3 図

